

④ 대한민국 특허청 (KR)
⑤ 공개 실용 신안 공보 (U)

제 716 호

©Int. Cl.
H 01 L 21/56

©종개일자 1994. 1. 3.

© 출판일자 1992. 6. 10.

①공개번호 94- 1979

④ 춘원면호 92-10285

심사정구: 염용

⑦ 고 안 차 봉 수 서울특별시 강남구 역삼동 현대빌라 107-202

① 출판인은 금성일렉트론 주식회사 대표이사 윤정선

충청북도 청주시 향정동 50번지

(제2판)

◎ 대리인 면역사 박 장 원

◎ 반도체 패키지

四

⑤ 요약
 본 고안은 반도체 폐키지의 구조에 관한 것으로 반도체 폐키지에 있어서, 반도체 칩이 부착 고정되는 티드 프레임의 재들과 상기 칩에 와이어 본딩되는 다수개의 외부연결 리드가 폐키지의 저면으로 노출되도록 티드프레임의 상부측만 에폭시 몬팅 침파운드로 몬팅하여 구성한 것이다.
 폐키지의 상부측만 에폭시 몬팅 침파운드로 몬팅하여 구성한 것이다.
 즉 리드 프레임을 기준한 상부쪽은 에폭시 몬팅 침파운드로 몬팅하고 하부쪽은 재들도서 인겔슬레이션 역할을 하도록 함으로써 폐키지의 전기적인 두께를 보다 작게하여 경박단소화에 기여하고, 신장률을 보다 높일 수 있다는 효과와 아울러 포밍동정이 저거되는 등 저조증정이 단순해지며, 칩의 전기적인 특성이 보다 좋아지는 등의 여러 효과가 있다.

실용신안 등록청구의 범위

1. 반도체 패키지 구조에 있어서, 반도체 칩(11)이 부착 고정되는 리드 프레임의 채운(12)가 상기 칩(11)이 와이어 본딩되는 다수개의 외부연결 리드(13)가 패키지의 쪽면으로 노출되도록 리드 프레임의 상부측면에 푸시 본딩 첨파운드(14)로 물딩하여 구성한을 특징으로 하는 반도체 패키지.

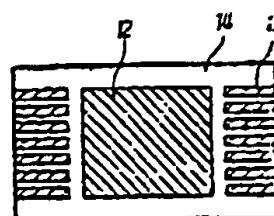
2. 제1항에 있어서, 상기 리드 프레임은 그의 채운(12)과 외부연결 리드(13)가 수평상태로 형성되거나, 또는 채운(12)을 둘러울린 업-엇구조로 형성됨을 특징으로 하는 반도체 패키지.

* 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지를 구조를 보이는 도면으로서, 제3도는 제2도의 거연도, 제4도는 본 고안에 의한 반도체 패키지의 실장상태를 보인 단면도.

제3도



제4도

